

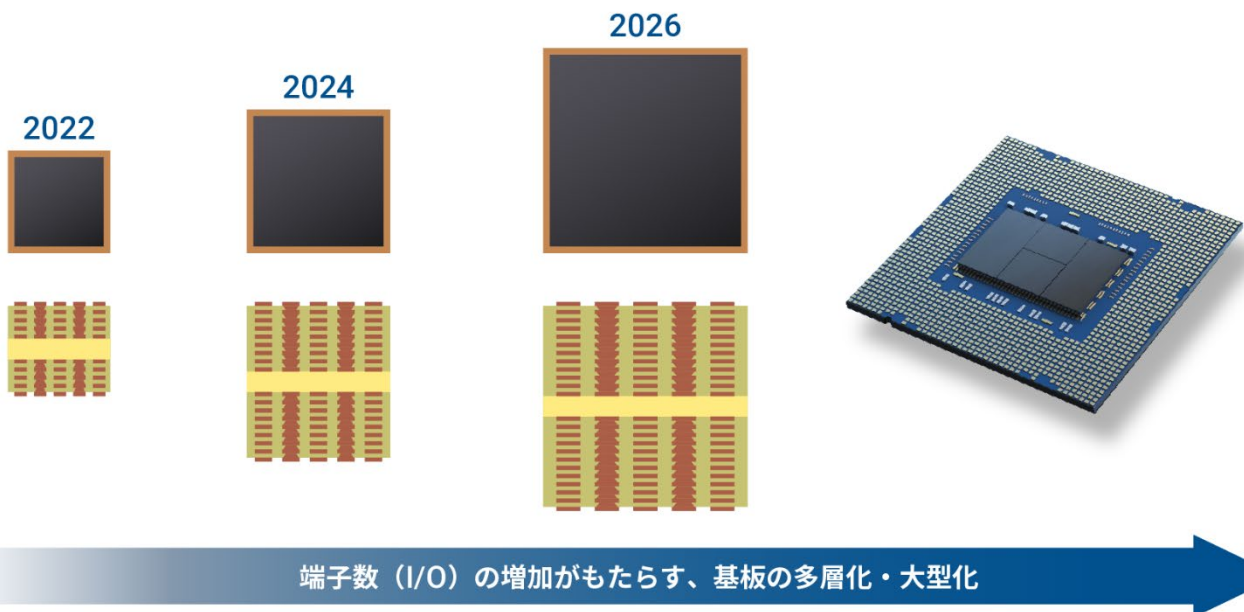
エレファンテック、半導体パッケージ基板の配線微細化を実現する新製法 DS-SAP™を開発

-Dual Seed によってシード薄膜化を実現し、AI 向け半導体の計算能力向上に貢献-

エレファンテック株式会社（本社：東京都中央区、代表取締役社長：清水 信哉）は、半導体パッケージ基板の新製法である DS-SAP™を開発しました。配線シードとビアシードを別で形成することで、これまでより配線シードを薄くすることで微細化に貢献すると同時に、ビアの高アスペクト化にも貢献します。より高密度な半導体パッケージングを可能にすることで、AI 向け半導体の計算能力向上に貢献します。

背景

半導体パッケージ基板の高性能化要求



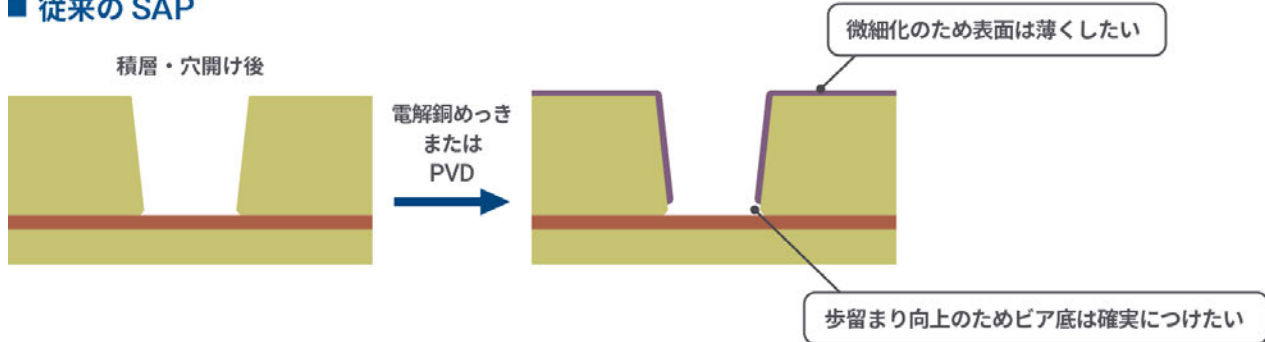
端子数 (I/O) の増加がもたらす、基板の多層化・大型化

AI 向け計算能力拡大の要求に対し、半導体パッケージングが計算能力拡大の大きなドライバーとなっています。その中で重要なコンポーネントの一つが半導体パッケージ基板であり、GPU/CPU の計算能力拡大に伴って、これまでより微細・高密度な配線形成が必要とされています。本技術は、これまで半導体パッケージ基板のビルドアップ層製造に使われてきた Semi Additive Process (SAP) を改良することで、さらなる配線の微細化を可能にするものです。

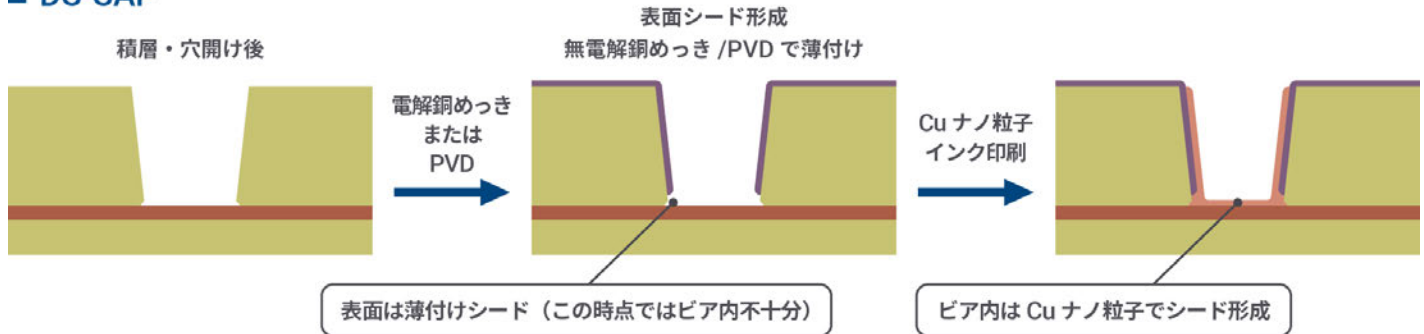


DS-SAP™：従来の SAP 法が抱えるトレードオフの解消

■ 従来の SAP



■ DS-SAP™



SAP 法では、積層・穴あけ後、無電解銅めっき等で銅シード形成を行い、パターンめっきした後、最後にシード層を除去することでパターンニングを行います。このシード層除去工程の際、副作用として配線パターンも同時に削れてしまうため、シード層が厚ければ厚いほど配線パターンへのダメージが大きく、微細化が困難になります。一方で、SAP では表面とビア内の両方に同時にシードを形成する必要があり、シード層を薄く形成しようとすると、表面は良くとも、ビア内、特にビア奥でシード形成が不十分になってしまい不良となってしまうという課題がありました。

これは、「シードが析出しやすいが薄くしたい表面」「シードが析出しづらいが確実につけたいビア内」に同時にシード形成を行う限り、逃れることができないトレードオフと考えられてきました。

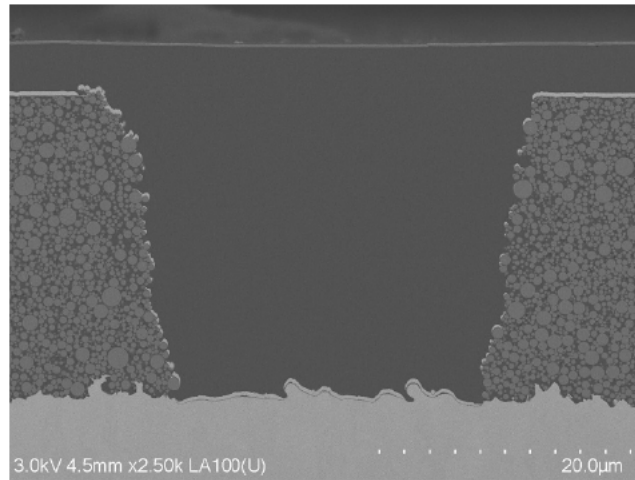
当社が開発したデュアルシードセミアディティブプロセス (DS-SAP™) は、表面シード形成とビア内シード形成を分けて行うことで、このトレードオフから解放され、飛躍的な改善を実現しました。DS-SAP™では、まず表面に無電解銅めっきや PVD などで可能な限り薄膜のシード形成を行います。この時点ではビア内はシードが不十分な状態ですが、ビア内に Cu ナノ粒子インクを塗布することで、シード形成を行います。当社はこの技術を、ビア内に均一な膜を形成することができる Cu ナノ粒子インク技術と、狙ったところにだけ塗布できるインクジェット技術によって実現しました。



DS-SAP™の適用

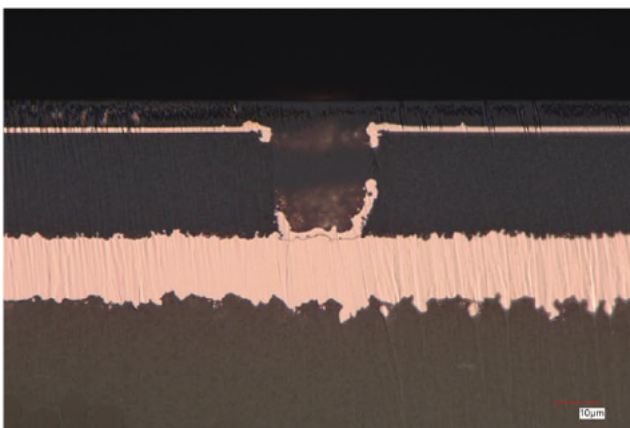
DS-SAP™は、化学銅めっきと組み合わせるプロセス、PVD と組み合わせるプロセス、の2種類のプロセスで実現可能です。

その2種類のうち、例として PVD と組み合わせた場合について以下に示します。以下は、PVD でシードを形成した断面画像です。表面には厚くシード形成されているにもかかわらず、ビア内はシードが途切れていることが見て取れます。

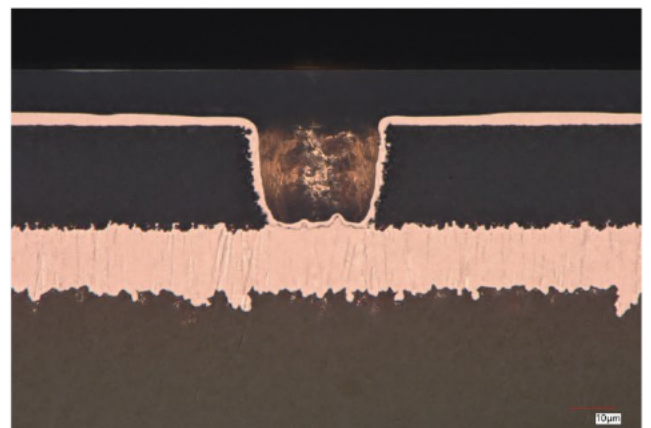


ここに DS-SAP™を適用せずにそのまま電気めっきを行ったものと、DS-SAP™を適用し、銅ナノ粒子インクを印刷してから電気めっきを行ったものが以下の通りです。DS-SAP™を適用したものは、途切れずに電気めっきが成長していることが見て取れます。

DS-SAP™非適用



DS-SAP™適用



薄付け銅めっき後の断面。

層間絶縁フィルム：ABF® GL-102

(ABF®は味の素株式会社の登録商標です。)

DS-SAP™のメリット

当社は DS-SAP™によって、半導体パッケージ基板に対して以下のようなメリットを提供できると考えております。

- 配線 L/S の微細化
- 高アスペクトビアの実用化による配線密度向上
- ファンアウト効率上昇による層数削減

今後の展開

既に当社では本技術について複数の AI 半導体メーカー様、及び半導体パッケージ基板メーカー様と検証を進めております。当社は本技術の実現に必要な銅ナノ粒子インク及びインクジェット印刷装置を提供することで、本技術を広め、AI 向け計算能力の拡大に貢献して参ります。

お問い合わせ

エレファンテック株式会社

IJ 装置材料事業本部 営業部

ijs-sales-unit@elephantech.co.jp

会社概要

会社名	エレファンテック株式会社
設立	2014 年 1 月
本社所在地	104-0032 東京都中央区八丁堀四丁目 3 番 8 号
代表	代表取締役社長 清水 信哉
事業内容	製造装置・材料の製造販売、プリント基板の製造販売
URL	https://elephantech.com/

メディアコンタクト

エレファンテック株式会社 広報担当：pr@elephantech.co.jp