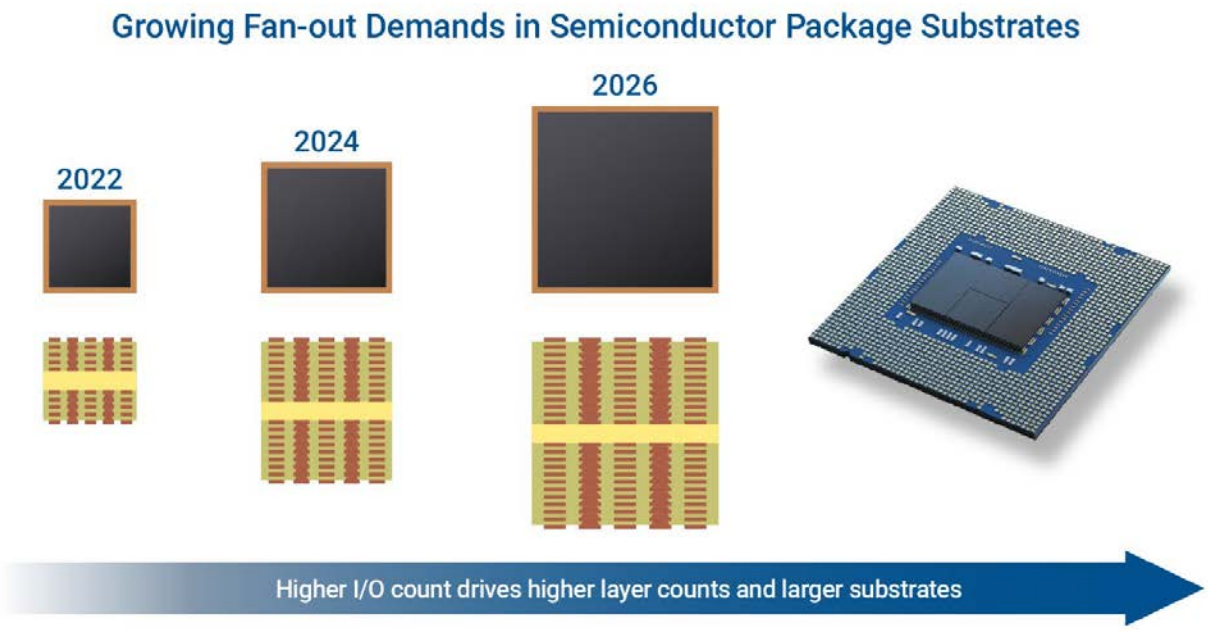
엘레판텍, 반도체 패키징 기판의 미세 패턴 형성을 위한 'DS-SAP™' 공법 발표

듀얼 시드(Dual-Seed) 기술로 첨단 AI 패키징의 고밀도화 실현

Elephantech Inc. (엘레판텍 주식회사, 본사: 도쿄도 주오구, 대표이사 사장: 시미즈 신야)는 반도체 패키징 기판 제조를 위한 혁신적인 공법인 'Dual-Seed Semi Additive Process™ (DS-SAP™)'를 개발했습니다. 표면 패턴 형성과 비아 메탈라이제이션을 위한 시드층을 독립적으로 분리하여 형성함으로써, DS-SAP™은 초미세 회로 형성(Ultra-thin traces)과 고종횡비(High-AR) 비아 내벽의 안정적인 피복성을 동시에 달성합니다. 이러한 기술적 돌파구는 패키징 밀도를 한층 더 높여 차세대 AI 소자 개발을 가속화하는 데 기여할 것입니다.

배경

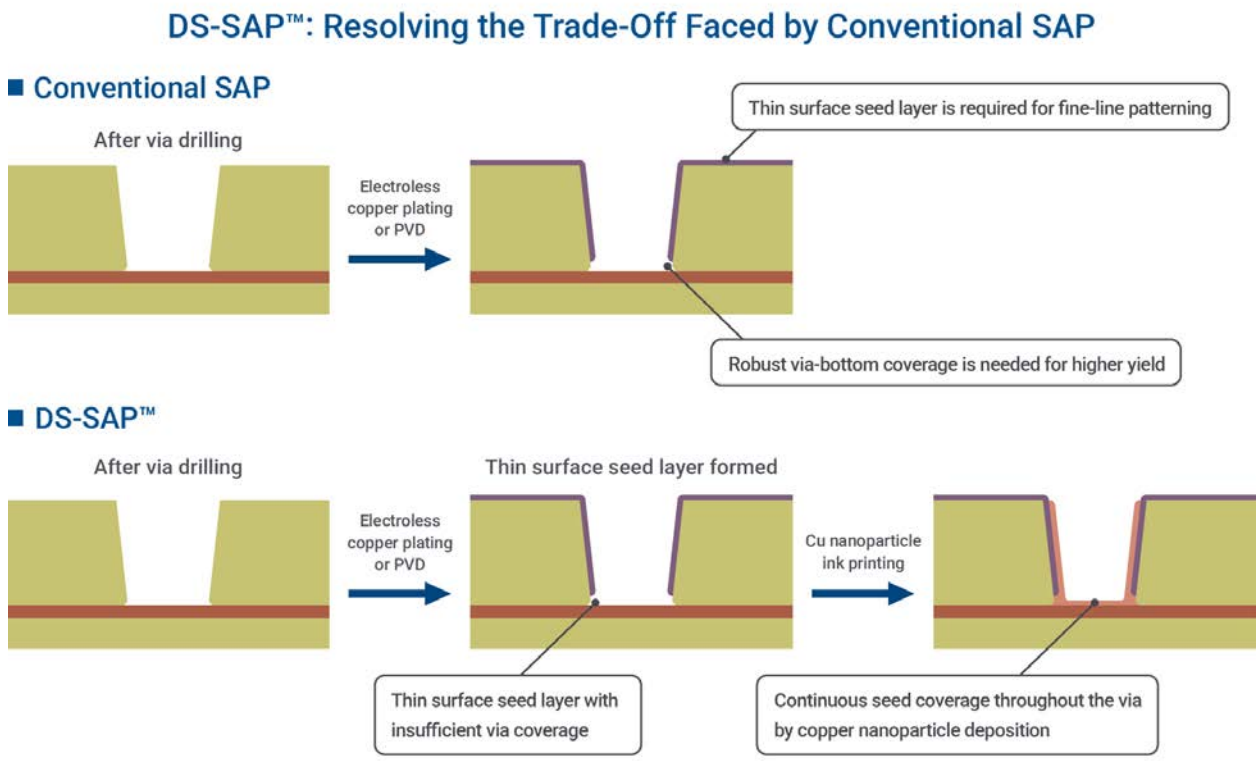
반도체 패키지 기판 분야에서 증가하는 팬아웃(Fan-out) 수요



AI 워크로드가 지속적으로 확장됨에 따라 GPU 와 CPU 의 처리 능력이 급격히 증가하고 있습니다. 이에 따라 반도체 패키징은 컴퓨팅 성능 향상을 위한 핵심 동력으로 자리 잡았으며, 패키징 기판 상에 전례 없이 미세하고 조밀한 도체 패턴을 형성해야 하는 수요를 견인하고 있습니다.
DS-SAP™은 패키징 기판의 빌드업(Build-up) 층 형성에 널리 사용되는 반추가 공법(Semi Additive Process, SAP)을 최적화하여, 더욱 미세한 회로를 형성하는 데 존재하던 기존 공정의 한계를 극복했습니다.

Elephantech

듀얼 시드 반첨가 공법 (Dual-Seed Semi Additive Process)



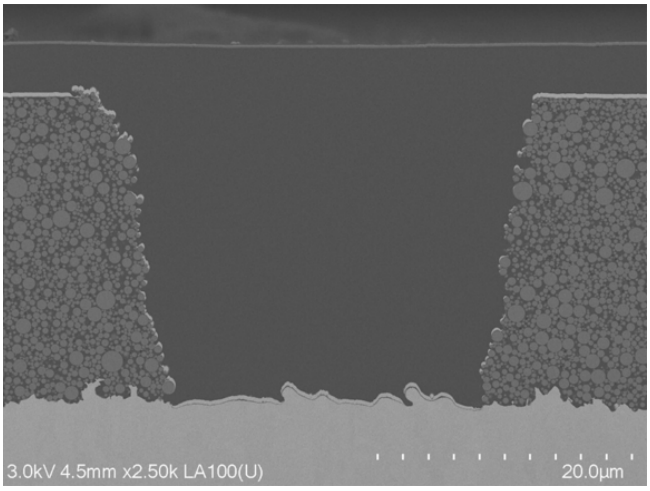
일반적인 SAP 공정은 '라미네이션(적층) - 비아 드릴 가공 - 무전해 도금을 이용한 구리 시드층 형성 - 패턴 전기 도금 - 시드층 박리(플래시 에칭)'의 단계로 구성됩니다. 마지막 시드층 박리 단계에서는 사이드 이펙트로 인해 도금된 도체 회로의 일부가 불가피하게 함께 에칭되어 깎여 나가게 됩니다. 따라서 시드층의 두께가 두꺼울수록 더 긴 에칭 시간이 소요되며, 이는 도체의 손실을 키워 목표로 하는 미세 선폭(Line width) 달성을 가로막는 원인이 됩니다.
기존 SAP 방식은 기판 표면과 비아 내부 전면에 시드층을 동시에 증착하기 때문에, 비아 내부(특히 비아 바닥면) 시드층의 연속성을 손상시키지 않으면서 미세 회로 형성을 위해 표면 시드층의 두께만 선택적으로 줄이는 것은 불가능했습니다.

이는 '에칭이 용이한 얇은 표면 시드층 형성'과 '증착이 까다로운 비아 내부의 충분한 시드층 피복성 확보'라는 두 가지 상충되는 요구사항 사이에서 불가피한 트레이드오프(Trade-off)를 발생시켰습니다.

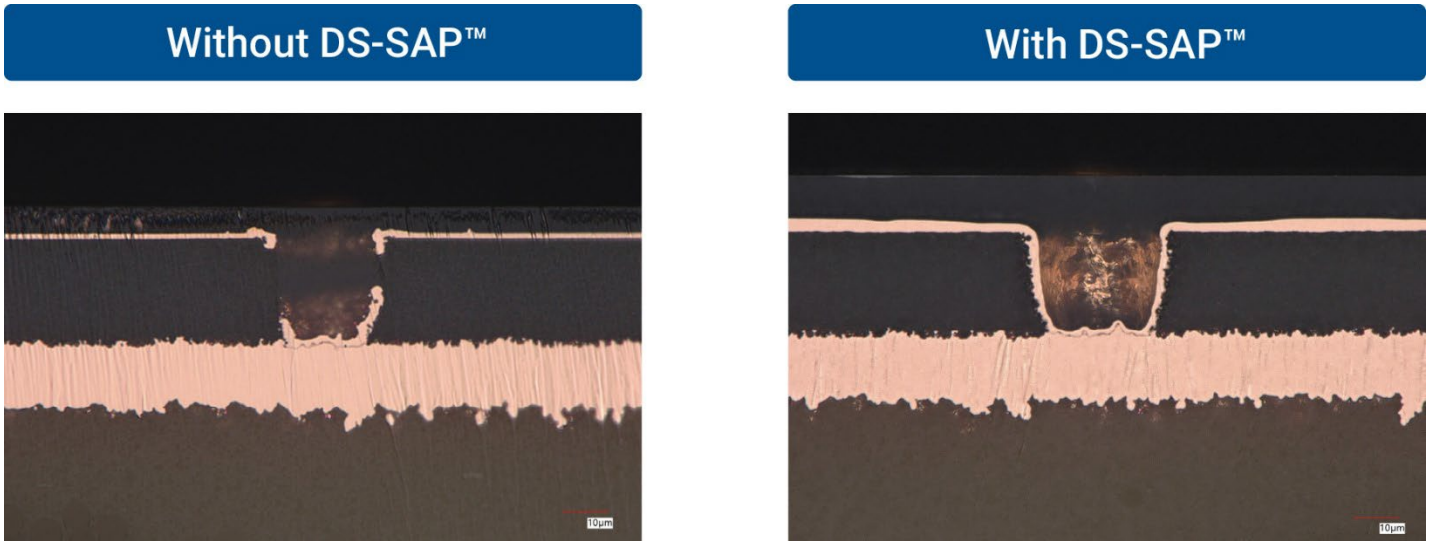
DS-SAP™은 이 두 영역의 시드층 형성을 구조적으로 분리함으로써 이러한 트레이드오프 관계를 해결하고 두 가지 요구사항을 모두 대폭 개선했습니다. 구체적으로는, 먼저 무전해 구리 도금이나 PVD 를 사용하여 기판 표면에 초박막 시드층을 형성한 후, 비아 내부에 구리 나노입자 잉크를 도포하여 불충분한 비아 내부 시드층을 보완함으로써 완벽한 연속 피복성을 확보하는 방식입니다.
이 솔루션은 비아 내부에 균일한 박막을 형성하는 엘레판텍의 독자적인 구리 나노입자 잉크 기술과, 추가적인 시드 형성이 필요한 위치에만 선택적으로 증착할 수 있는 잉크젯 기술을 기반으로 합니다.

DS-SAP™의 실제 적용 (Application of DS-SAP™)

DS-SAP™은 무전해 구리 도금 또는 PVD 공정과 결합하여 우수한 시너지 효과를 발휘합니다. 아래의 단면 SEM 이미지는 이를 PVD 공정에 적용한 사례를 보여줍니다. 기판 표면에는 상대적으로 두꺼운 시드층이 증착되는 반면, 비아 내부의 시드층은 불연속적인 상태로 남아 시드 피복성이 불충분해진 것을 확인할 수 있습니다.



이후 해당 샘플들을 각각 '일반 전해 도금만 진행한 경우(왼쪽)'와 'DS-SAP™ 구리 나노입자 잉크 인쇄 후 전해 도금을 진행한 경우(오른쪽)'로 나누어 가공했으며, 그 결과는 아래 사진과 같습니다. DS-SAP™ 공법을 적용한 오른쪽 샘플의 경우, 전해 도금된 구리가 끊어짐 없이 비아 내부 전체를 따라 연속적으로 성장한 모습을 관찰할 수 있습니다.



미세 구리 도금 후의 단면 관찰 결과 (Cross-section after thin copper plating.)
층간 절연 필름 소재: ABF® GL-102, 비아 바닥면 직경: 25 μm
*ABF®는 일본 및/또는 기타 국가에서 아지노모토 주식회사(Ajinomoto Co., Inc.)의 등록 상표입니다.

기술적 장점 (Advantages)

반도체 패키징 기판 제조 공정에 DS-SAP™을 도입하면 다음과 같은 확실한 장점을 확보할 수 있습니다.

- 미세 L/S(Line/Space, 선폭/간격) 패턴 형성 가능
- 고종횡비 비아 구현을 통한 인터커넥트(상호연결) 밀도 극대화 지원
- 팬아웃(Fan-out) 효율성 향상으로 불필요한 빌드업 층수 절감

향후 전망

엘레판텍은 이미 여러 글로벌 AI 반도체 제조업체 및 첨단 패키징 기업들과 DS-SAP™에 대한 양산 기술 평가를 시작했습니다. 본 솔루션을 가능하게 하는 독자적인 구리 나노입자 잉크와 전용 잉크젯 인쇄 장비의 공급을 통해, 엘레판텍은 해당 기술의 시장 전개를 적극적으로 추진하고 있으며 AI 하드웨어의 지속적인 진화를 가속화하는 데 앞장서고 있습니다.

문의처
엘레판텍 잉크젯 장비 및 소재 사업부 영업부
ijs-sales-unit@elephantech.co.jp